

1-5-2022

Study on the delay characteristics of the analoginput DC merging unit

Qianzhu XIONG

China Electric Power Research Institute Co.,Ltd., Wuhan 430074, China

Dengyun LI

China Electric Power Research Institute Co.,Ltd., Wuhan 430074, China

Qi NIE

China Electric Power Research Institute Co.,Ltd., Wuhan 430074, China

Min LEI

China Electric Power Research Institute Co.,Ltd., Wuhan 430074, China

Yuanxiang WU

School of ElectricalEngineering and Automation, Wuhan University, Wuhan 430072, China

See next page for additional authors

Follow this and additional works at: <https://jepst.researchcommons.org/journal>

Recommended Citation

XIONG, Qianzhu; LI, Dengyun; NIE, Qi; LEI, Min; WU, Yuanxiang; LIU, Kaipei; and QIN, Liang (2022) "Study on the delay characteristics of the analoginput DC merging unit," *Journal of Electric Power Science and Technology*. Vol. 36: Iss. 6, Article 1.

DOI: 10.19781/j.issn.1673-9140.2021.06.001

Available at: <https://jepst.researchcommons.org/journal/vol36/iss6/1>

This Article is brought to you for free and open access by Journal of Electric Power Science and Technology. It has been accepted for inclusion in Journal of Electric Power Science and Technology by an authorized editor of Journal of Electric Power Science and Technology.

Study on the delay characteristics of the analoginput DC merging unit

Authors

Qianzhu XIONG, Dengyun LI, Qi NIE, Min LEI, Yuanxiang WU, Kaipei LIU, and Liang QIN

模拟量输入直流合并单元延时特性研究

熊前柱¹, 李登云¹, 聂琪¹, 雷民¹, 吴元相², 刘开培², 秦亮²

(1. 中国电力科学研究院有限公司, 湖北 武汉 430074; 2. 武汉大学电气与自动化学院, 湖北 武汉 430072)

摘要:广泛应用于高压直流输电系统的模拟量输入直流合并单元的延时对直流计量精度、控制稳定性和保护速动性有重要影响。为保证模拟量输入直流合并单元的整体延时满足延时要求,需合理配置硬件和软件延时,并对系统整体延时进行测试。该文分析一种典型的模拟量输入直流合并单元的延时特性,并对各环节延时进行具体分析,测试发现,信号调理与滤波、A/D转换等硬件环节延时相对稳定,在总延时中比重较大;CPU软件环节的具体延时与实际采用的算法、被测参数状态引起的软件执行路径有关,具有一定的随机性。实验测得的延时结果与理论分析基本吻合,可为模拟量输入直流合并单元的设计制造和延时校正提供参考和指导。

关键词:模拟量输入直流合并单元;延时特性;硬件环节;软件环节

DOI:10.19781/j.issn.1673-9140.2021.06.001 中图分类号:TM93 文章编号:1673-9140(2021)06-0003-08

Study on the delay characteristics of the analog-input DC merging unit

XIONG Qianzhu¹, LI Dengyun¹, NIE Qi¹, LEI Min¹, WU Yuanxiang², LIU Kaipei², QIN Liang²

(1. China Electric Power Research Institute Co., Ltd., Wuhan 430074, China; 2. School of Electrical Engineering and Automation, Wuhan University, Wuhan 430072, China)

Abstract: The delay of analog-input DC merging unit is widely used in HVDC system, and it has an important influence on the DC metering accuracy, control stability and protection rapidity. In order to ensure that the overall delay of analog-input DC merging unit meets the delay requirements, the hardware delay and software delay should be configured reasonably, and the overall delay of the system should be tested. This paper analyzes the delay characteristics of a typical analog input DC combining unit, and analyzes the delay of each link respectively. It is found that the delay of signal conditioning and filtering, A/D conversion and other hardware links are relatively stable, and plays a large proportion of total delay. The specific delay of CPU software link is related to the algorithm actually used and the software execution path caused by the measured parameter state. Certain randomness. The experimental results are in good agreement with the theoretical analysis. This paper provides the reference and guidance for the design, manufacture and delay correction of analog-input DC merging unit.

Key words: analog-input DC merging unit; delay characteristics; hardware link; software link

直流合并单元作为高压直流输电系统和柔性直流输电系统电能计量、监测、控制和保护环节的关键设备,其数据输入、处理、输出的实时性与准确性要求相对于交流合并单元更高。合并单元分为模拟量和数字量输入合并单元 2 种,由于目前电子式互感器在实际运行中的可靠性不如传统电磁式互感器,且长期稳定性相对较差,长时间运行后超差问题较为普遍^[1],因此,目前一些直流输电工程中多使用模拟量输入合并单元搭配传统直流互感器的模式。

延时是模拟量输入直流合并单元工作性能的一项重要指标。目前有因合并单元额定延时问题而导致相关保护误动作,并引发变电站停电事故的报道^[2]。合并单元作为数据传输的中间环节,是间隔层计量和保护设备的数据来源,因此,其时间性能是否符合要求、对保证传输数据的实时性与同步性、确保计量装置的计量准确性以及维持继保装置的正常运行具有重要作用^[3-4]。目前,在一些已发布的技术与检测规范中,对于模拟量输入合并单元的时间性能有一定的要求^[5],但测试标准和多数文献中主要关注对时和守时性能^[6-7],对合并单元的延时也多集中在测试方法和系统方面的研究;文献[8]提出了一种智能变电站合并单元额定延时现场测试方法;文献[9]提出了一种基于改进小波突变点监测的合并单元额定延时测试方法;文献[10]提出了一种基于频域辨识的合并单元额定延时测量方法。综上所述,目前还没有关于模拟量输入直流合并延时的特性分析。为了对模拟量输入直流合并单元进行合理设计以及延时优化配置,需要对其各环节延时及整体延时特性进行研究。

该文以一种模拟量输入直流合并单元为例进行延时特性研究,对其各主要环节的延时机理和特性以及对整体延时的影响进行分析,得到延时范围,并通过模拟量输入直流合并单元延时实验进行验证。

1 模拟量输入直流合并单元延时分析

1.1 模拟量输入直流合并单元典型结构与延时环节

目前,在工程中使用的直流合并单元中,充分考

虑直流输电工程的特点与需求,多遵循 FT3 规约,满足 IEC 60044-7/8 电气规范,大部分既可以接收模拟信号又可以接收数字信号,数字输入接口标准采样频率为 10 kHz,最高可达 50 kHz。模拟量输入直流合并单元的组成情况如图 1 所示,直流互感器输出直流电压、电流模拟信号,分别经电缆传输至直流合并单元中,再分别经过信号调理、低通滤波、A/D 转换等环节,将得到的数字量输入到 CPU 中进行数字信号处理,完成不同信号之间的同步,然后,按照 FT3 或 IEC 60044-7/8 协议将数字信号组帧打包,通过光纤传输到下一环节,为电能计算和继电保护提供实时数据^[11]。

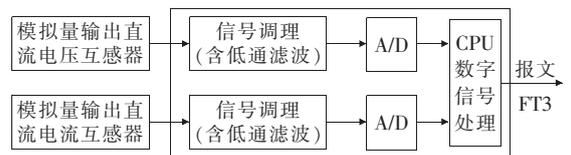


图 1 模拟量输入直流合并单元采样原理

Figure 1 Sampling schematic diagram of analog-input DC merging unit

在整个传输处理过程当中,硬件和软件环节都会产生延时。硬件环节中信号调理和低通滤波处理会由于电路特性产生一定的延时,A/D 转换过程中也会因为信号形式的转换产生一定的延时^[12]。软件环节中 CPU 对信号的同步处理、组帧和编码等操作也会产生一定的延时,各部分延时都会对整体延时产生影响。此外,当合并单元对 2 组信号进行插值同步时,不同厂家使用的插值算法精度不同,一般算法的精度越高,处理所用的时间也就越长,且具体处理时间会受到被测参数状态引起的软件路径影响,具有一定的随机性。

设模拟量输入直流合并单元的总延时为 t ,硬件环节的信号调理与滤波的延时为 t_1 ,A/D 转换延时为 t_2 ,软件环节的 CPU 处理产生的延时为 t_3 ,则模拟量输入直流合并单元的总延时表达式为

$$t = t_1 + t_2 + t_3 \quad (1)$$

1.2 信号调理与滤波延时分析

信号调理电路中主要是滤波环节涉及到延时,由于直流输电系统中直流分量占绝大部分,还含有少量的谐波,其中低次谐波占绝大部分,在直流合并单元中所做的处理一般是把高次谐波滤掉,因此使

用低通滤波器。当使用不同滤波器时,所对应的延时不同。

为了兼顾滤波的效果并尽量降低延时,根据对合并单元进行试验所反映出的滤波器特性进行分析,考虑到直流输电系统中谐波特点,并结合相关文献,这里以二阶巴特沃斯低通滤波器为例^[13]进行延时分析。设置采样频率为 $f_s=10$ kHz,滤波器截止频率为 $f_c=1$ kHz,可以计算出二阶巴特沃斯低通滤波器在不同频率下的时延特性,如图 2 所示^[9];由此可以计算出不同信号频率下所对应的时延,如表 1 所示。

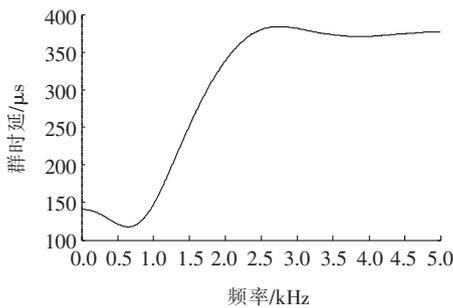


图 2 二阶巴特沃斯低通滤波器的群时延特性

Figure 2 Group delay characteristics of second order Butterworth lowpass filter

表 1 不同信号频率对应的时延

Table 1 Delay corresponding to different signal frequency

信号频率/Hz	时延/ μ s	信号频率/Hz	时延/ μ s
0	141.2	150	139.0
50	141.0	200	137.3
100	141.0	250	135.1

这里将直流信号中的高次谐波过滤,由表 1 可知,在输入直流信号的情况下,对于其中的直流分量,该滤波器所产生的时延在 140μ s 左右,其他低次谐波所对应的延时也在 140μ s 附近。因此滤波环节的延时是相对稳定的。

1.3 A/D 转换延时分析

在经过信号调理和低通滤波后,模拟信号会通过 A/D 转换模块变成数字信号。A/D 转换技术主要有积分型、逐次逼近型以及并行比较型 A/D。其中合并单元中多使用 16 位逐次逼近型 A/D。逐次逼近型 A/D 具有中等速度、中等精度、低功耗和低成本的综合优势,因此广泛用于工业控制方面,适用于测量各种物理量的传感器。

逐次逼近型 A/D 主要由采样保持电路、DAC、比较器、逐次逼近寄存器、时序及其他控制电路组成,核心是 DAC 和比较器,如图 3 所示。其原理:用二进制搜索算法进行转换,使得 DAC 的输出电压逼近输入模拟电压,对于 N 位转换器,至少需要 N 个转换周期,其转换时间为微秒级。因此,对于某种具体的 A/D 芯片,其延时是相对确定的。

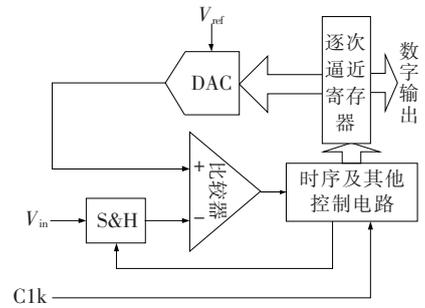


图 3 逐次逼近型 A/D 电路结构

Figure 3 Successive approximation A/D circuit structure diagram

一般采样速率必须小于或等于转换速率,则采样时间要大于或等于转换时间。不同采样速率的 AD 转换器所对应的转换时延的最大值如表 2 所示,可以看出,AD 转换器所对应的采样速率越高,则转换时延的最大值越小。这里采用 AD7656 芯片,其采样率能够达到 250 ksps,并且具有精度高、集成度高、低噪声和低功耗等优点,能够很好地满足合并单元对于数据处理的高精度要求,并且该芯片已在电力系统等领域被广泛使用^[14]。由表 2 可知,该 AD 转换芯片的转换时延的最大值为 3.10μ s,时延较小。

表 2 不同信号频率对应的时延

Table 2 Delay corresponding to different signal frequency

转换型号	采样速率/ksps	时延/ μ s
AD7988-1	100	9.50
AD7606	200	4.15
AD7656	250	3.10
AD7955-5	500	1.50
AD7980	1 000	0.71

1.4 CPU 处理延时分析

合并单元 CPU 多采用 ARM 主处理器和 FPGA 辅助处理器的组合方案,其中 ARM 完成合并

单元的主要功能组帧与编码。经过数字信号处理模块和 A/D 转换模块信号完成对采样数据的滤波和转换,接下来进入 CPU 进行同步,并按照 IEC 60044-8 规约的要求对处理后的数据进行组帧和编码操作,最后,通过电光转换模块将 FT3 电信号转换为光信号。链路层中只要将数据加上帧头、循环冗余校验 CRC 码完成组帧,然后在物理层将数据进行曼彻斯特编码即可^[15]。其中电光转换模块的处理时间为几十纳秒,相对于整体延时可以忽略不计,因此,CPU 中的主要延时环节包括数据组帧时间和曼彻斯特编码时间,此外不同厂家的软件处理方法会有所不同,延时时长上也存在差异。数据组帧编码过程如图 4 所示。

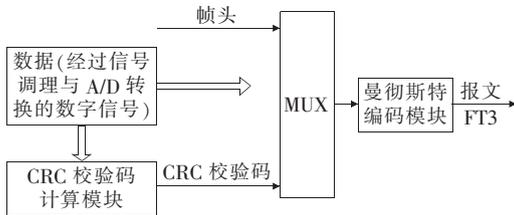


图 4 数据组帧编码示意

Figure 4 Schematic diagram of data frame coding

1.4.1 数据组帧时间

数据组帧主要将数据加上帧头、循环冗余校验 CRC 码,组帧之后会进行后续的曼彻斯特编码。数据传输的一般格式如图 5 所示,由命令标识符、节点地址标识符、数据域和 CRC 校验代码组成,其中 CRC 校验只针对数据域部分。



图 5 数据传输格式

Figure 5 Data transmission format

在对 16 位数据进行 CRC 校验时,一般把 16 位数据分成 2 个 8 位进行连续 CRC 校验,通常在一个时钟周期内,系统处于复位状态,寄存器置 0。第 2 个时钟周期开始输入并行数据进行编码校验。因此,每完成一个位数据的 CRC 编码校验,至少需要 2 个时钟周期的时间。设定时钟周期为 100 ns,则对 1 个 8 位数据进行 CRC 校验时所需要的时间为 1.6 μ s。由于对 16 位数据进行 CRC 校验时是对 2

个 8 位数据并行处理的,因此,对 16 位数据进行 CRC 校验时所需要的时间为 1.6 μ s。故可以认为,CPU 进行数据组帧的时间为 1.6 μ s 左右。

1.4.2 曼彻斯特编码时间

曼彻斯特编码方式利用信号的边沿来表示二进制数据“0”和“1”,比如信号的上升沿表示“1”,下降沿表示“0”,而这种跳变一般发生在位帧的中间。

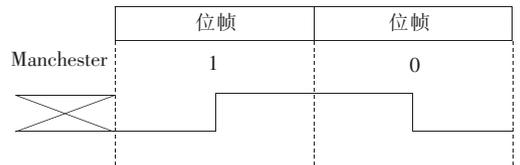


图 6 曼彻斯特编码波形示意

Figure 6 Schematic diagram of Manchester coding waveform

假设信号的上升沿表示“0”,下降沿表示“1”,同时假设数据的波特率为 f ,则 1 个位的时长为 $1/f$,位帧的中间时长为 $1/2f$,用 T 来表示这半个位帧的时长。根据此假设条件,曼彻斯特编码的流程如下:

- 1) I/O 口输出高电平;
- 2) 检查数据是否发送完成,如果是,则跳到步骤 7;
- 3) 检查下一个数据位的值;
- 4) 如果是“1”,调用发送 1 的函数 ManchesterOne(T);
- 5) 如果是“0”,调用发送 0 的函数 ManchesterZero(T);
- 6) 返回到步骤 2;
- 7) I/O 输出为高电平并返回。

流程中调用发送 1 或 0 的函数是该编码过程的主要环节。其中,ManchesterOne(T)为先输出低电平再输出高电平,ManchesterZero(T)为先输出高电平再输出低电平,2 个函数的处理时间都为 $2T$ ^[16]。一般合并单元的串口参数设置都将波特率配置成 2 或 2.5 Mbit/s,此时可计算出程序执行时间为 0.5 或 0.4 μ s。因此,可认为曼彻斯特编码环节的延时在 0.5 μ s 左右。

综合数据组帧及编码时间,并考虑算法处理过

程中延时的随机性,可认为 CPU 部分的总延时在几微秒左右。

因此在以上条件下,综合考虑模拟量输入直流合并单元信号调理与滤波、A/D 转换和 CPU 等各个环节的延时特性,其中信号调理与滤波环节的延时 t_1 相对稳定,在 $140 \mu\text{s}$ 左右;A/D 转换环节的延时 t_2 应小于等于 $4 \mu\text{s}$;CPU 软件环节延时 t_3 为几微秒,其中数据组帧的时间在 $1.6 \mu\text{s}$ 左右,曼彻斯特编码环节的延时在 $0.5 \mu\text{s}$ 左右,具体延时长与实际采用的软件设计方法和软件运行路径有关,具有一定的随机性。可以得到使用这种原理的模拟量输入直流合并单元的总延时大约为 $150 \mu\text{s}$ 。如果一个合并单元处理多路模拟量输入信号或增加其他功能(如为了信号检测的稳定性增加数字滤波等环节),其软件延时将会增加,即 t_3 将增加,并带来更多的不确定性。

因不同厂家的模拟量输入直流合并单元所采用的硬件结构基本相同,硬件环节延时 t_1 、 t_2 相对稳定,因此,为保证装置总延时 t 在允许范围内,必须保证软件处理环节延时 t_3 符合要求,故需要增加软件处理环节延时的检测。

2 模拟量输入直流合并单元延时测试方案

对许继 DFM411DB 型号直流合并单元进行延迟时间测试,目前同系列的许继 DFM410 型号直流合并单元已在厦门柔性直流输电工程中投运数年。

模拟量输入直流合并单元延时实验原理如图 7 所示。实验中使用了高压直流电源、直流电压标准器、被试直流电压互感器、模拟量输入直流合并单元和直流互感器校验仪。其中高压直流电源同时对 2 个互感器施加 1 个直流阶跃电压,2 个互感器结构相同,经时间测试延时时间一致,不会对合并单元延时测定产生影响。直流电压标准器的电压数据直接以模拟量的形式通过电缆传输到直流互感器校验仪上,而被试直流电压互感器电压数据先经过电缆传输到合并单元,由合并单元进行处理后,转换为数字

信号,再通过光纤传输至直流互感器校验仪,由直流互感器校验仪测量两信号之间的时间差,从而得到模拟量输入直流合并单元的整体延时时间。模拟量输入直流合并单元延时实验现场如图 8 所示,由于对合并单元各环节进行单独测试较为困难,因此这里仅对合并单元整体延时进行测试。

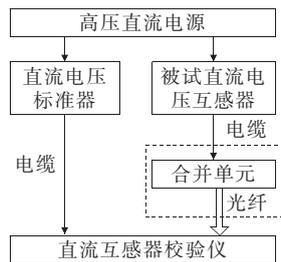


图 7 模拟量输入直流合并单元延时测试原理

Figure 7 Delay test principle of analog-input DC merging unit

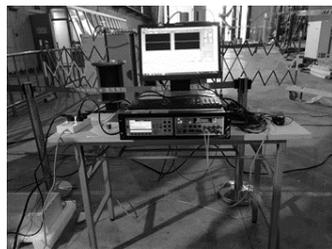


图 8 模拟量输入直流合并单元延时实验现场

Figure 8 Field diagram of delay experiment of analog-input DC merging unit

设信号直接通过电缆的传输时间为 T_0 ,信号通过合并单元转换为数字信号再通过光纤传输的时间为 T_1 ,合并单元的延时时间为 ΔT ,则

$$\Delta T = T_1 - T_0 \quad (2)$$

试验中采用许继 DFM411DB 电子式互感器合并单元。设置采样频率为标准频率 10 kHz ,分别对互感器施加 10 、 20 、 30 kV 的阶跃电压信号,通过直流互感器校验仪读取通入不同大小电压的合并单元延时。

3 模拟量输入直流合并单元延时实验结果分析

被测模拟量输入直流合并单元如图 9 所示,在通入 10 、 20 、 30 kV 电压时,其中一次阶跃响应曲线

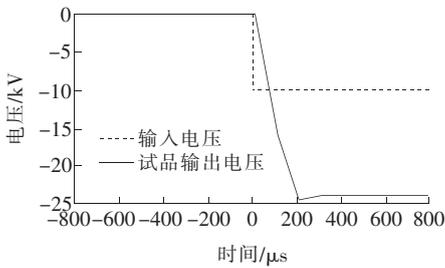
如图 10 所示。

通过直流互感器校验仪得到 3 种电压下的合并单元延时数据,如表 3 所示。为了检验施加阶跃电压大小对模拟量输入合并单元延时是否有影响,假设数据分布服从正态分布,对表 3 数据进行单因素试验方差分析,以观察电压因素是否对合并单元延时均值有显著影响。

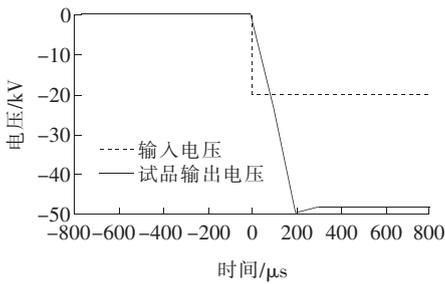


图 9 被测模拟量输入直流合并单元

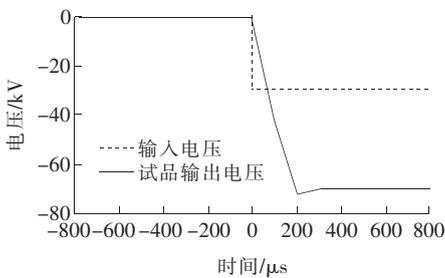
Figure 9 Measured analog-input DC merging unit



(a) 通入 10 kV 电压



(b) 通入 20 kV 电压



(c) 通入 30 kV 电压

图 10 被测模拟量输入直流合并单元通入不同电压时的阶跃响应曲线

Figure 10 Step response curve of the measured analog-input DC merging unit when different voltage

表 3 合并单元延时实验数据

Table 3 Merging unit delay experimental data

试验号	3 种电压(kV)下的合并单元延时/ μs		
	10	20	30
1	162.5	146.0	132.0
2	150.0	164.0	190.0
3	136.0	165.0	132.0
4	156.0	167.5	150.0
5	152.0	154.0	160.0
6	162.0	177.5	142.0
7	167.5	154.0	154.0
8	212.5	138.0	154.0
9	158.0	128.0	156.0
10	126.0	195.0	154.0

如表 4 所示,其中偏差平方和(SS)包括因子偏差平方和 S_T 、误差偏差平方和 S_E 以及总偏差平方和 S_A ,即

$$S_T = \sum_{i=1}^r \sum_{j=1}^{n_i} (X_{ij} - \bar{X})^2 \quad (3)$$

$$S_E = \sum_{i=1}^r \sum_{j=1}^{n_i} (X_{ij} - \bar{X}_i)^2 \quad (4)$$

$$S_A = \sum_{i=1}^r n_i (\bar{X}_i - \bar{X})^2 \quad (5)$$

自由度(f)分别代表因素、误差和总和三者的自由度;均方和(MS)分别对应因素、误差的平方和与自由度的比值; F 为因素均方和与误差均方和之比; p 表示概率^[17]。由于 $p=0.732$ 比较大,可知施加阶跃电压大小对于延时试验结果无显著影响。因此,可认为施加电压大小不会影响合并单元对信号的处理时间。

表 4 合并单元延时单因素方差分析

Table 4 Single factor ANOVA of merging unit delay

方差来源	SS	f	MS	F	p
因素(电压)	256.3	2	128.158	0.33	0.723
误差	10 538.9	27	390.331	—	—
总和	10 795.2	29	—	—	—

对合并单元延时进行分析,其频率分布直方图如图 11 所示,可以得到合并单元整体延时的均值 $E_x=156.5167 \mu\text{s}$ 。考虑到直流互感器校验仪计算延时的误差,以及模拟量输入合并单元试品中软件处理环节存在的延时偏移会使实验结果具有一定的

离散性,可认为实验结果与理论分析是基本符合的。因此,对于采用文1中所述原理的模拟量输入直流合并单元,其延时在 $150\ \mu\text{s}$ 左右,前置的信号调理和滤波、A/D转换等硬件环节的延时所占比较大,CPU软件环节的延时占比较小。

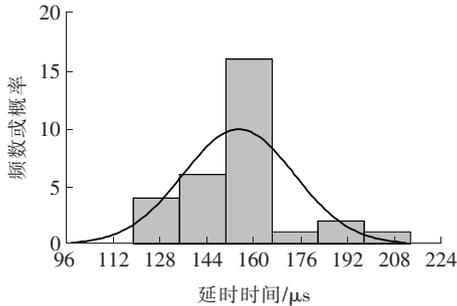


图11 模拟量输入合并单元延时分布直方图

Figure 11 Histogram of delay distribution of analog-input DC merging unit

实际上不同厂家生产的模拟量输入直流合并单元所采用的硬件结构基本相同,但在软件算法中可能会不同,导致软件部分延时存在差异,且被测参数状态引起的软件执行路径不同也会导致所产生的延时具有一定的随机性。因此,可通过合理的软件设计控制软件环节延时,以保证模拟量输入直流合并单元的整体时间性能。所以需要增加对模拟量输入直流合并单元软件部分的延时测试,以保证合并单元延时符合要求。

4 结语

该文对模拟量输入直流合并单元的延时特性进行研究,分别对合并单元的信号调理与滤波模块、A/D转换模块等硬件环节、CPU中的组帧与编码模块等软件环节的延时进行理论分析,得到了各环节延时的大致范围。其中,信号调理与滤波等硬件环节的延时较大,CPU软件处理环节延时相对较小,具体延时与实际采用的软件设计方法有关,可认为使用该原理的模拟量输入直流合并单元的总延时约为 $150\ \mu\text{s}$ 。对模拟量输入直流合并单元进行延时测试,其延时均值为 $156.5167\ \mu\text{s}$,与理论分析基本一致,且施加阶跃电压大小对延时试验结果无显著影响。

为保证模拟量输入直流合并单元的整体延时,可通过在设计合并单元硬件时合理选择电路结构和参数、对合并单元的输入路数进行合理规划、对软件部分进行合理设计等方法合理分配硬件与软件部分延时。为了保证总体延时不超过规定,需对模拟量输入合并单元进行延迟时间测试。

参考文献:

- [1] 王忠东,李红斌,程含渺,等. 模拟量输入合并单元计量性能测试研究[J]. 电网技术,2014,38(12):3522-3527.
WANG Zhongdong, LI Hongbin, CHENG Hanmiao, et al. Metering performance test of analog-input merging unit[J]. Power System Technology, 2014, 38(12): 3522-3527.
- [2] 王亮,李瑞,白雪婷. 智能变电站合并单元相关问题引起保护误动的研究[J]. 山西电力,2017(1):6-9.
WANG Liang, LI Rui, BAI Xueting. Study on relay protection malfunction caused by related issues of merge unit in smart substations[J]. Shanxi Electric Power, 2017(1): 6-9.
- [3] 崔玉,朱继红,曹海欧,等. 合并单元数据可靠性提升方案研究与应用[J]. 电力系统保护与控制,2021,49(2):160-165.
CUI Yu, ZHU Jihong, CAO Haiou, et al. Research and application of a reliability improvement scheme for merging unit data[J]. Power System Protection and Control, 2021, 49(2): 160-165.
- [4] 刘洋,张道农,于跃海,等. 时间同步误差对电力自动化系统影响的定量分析[J]. 电力科学与技术学报,2011,26(3):15-19+24.
LIU Yang, ZHANG Daonong, YU Yuehai, et al. Quantitative analysis of time synchronization disturbance for electric power automation systems[J]. Journal of Electric Power Science and Technology, 2011, 26(3): 15-19+24.
- [5] Q/GDW 11015—2013. 模拟量输入式合并单元检测规范[S].
- [6] 樊陈,倪益民,沈健. IEEE 1588在基于IEC 61850-9-2标准的合并单元中的应用[J]. 电力系统自动化,2011,35(6):55-58.
FAN Chen, NI Yimin, SHEN Jian. Research on the application of IEEE 1588 in the merging unit based on IEC

- 61850-9-2[J]. Automation of Electric Power Systems, 2011, 35(6): 55-58.
- [7] 李博,孙建军,王朝亮,等. 考虑高次谐波影响的智能配电合并单元改进采样数据同步方法[J]. 电力系统保护与控制, 2019, 47(18): 20-27.
LI Bo, SUN Jianjun, WANG Chaoliang, et al. Improved sampling synchronization method used by merging unit in smart distribution network considering higher harmonic effects[J]. Power System Protection and Control, 2019, 47(18): 20-27.
- [8] 赵斌超,王军,张婉婕,等. 智能变电站合并单元额定延时现场测试方法[J]. 山东电力技术, 2017, 44(8): 28-31.
ZHAO Binchao, WANG Jun, ZHANG Wanjie, et al. Field test method for merging unit rated delay of intelligent substation[J]. Shandong Electric Power, 2017, 44(8): 28-31.
- [9] 苟怀强,熊凯新,贾林泉,等. 基于改进小波突变点检测的合并单元额定延时测试方法研究[J]. 陕西电力, 2015, 43(12): 38-42+61.
GOU Huaiqiang, XIONG Jixin, JIA Linqun, et al. Research on test method for rated delay of merging unit based on improved wavelet mutation point detection[J]. Shanxi Electric Power, 2015, 43(12): 38-42+61.
- [10] 庞福滨,刘珂,嵇建飞,等. 基于频域辨识的合并单元额定延时测量技术[J]. 电测与仪表, 2017, 54(22): 65-70.
PANG Fubin, LIU Yu, JI Jianfei, et al. Rate delay time measuring technology of merging unit based on frequency domain identification[J]. Electrical Measurement & Instrumentation, 2017, 54(22): 65-70.
- [11] DL/T 282—2012. 合并单元技术条件[S].
- [12] 何金栋,王宇,赵志超,等. 智能变电站嵌入式终端的网络安全攻击类型研究及验证[J]. 中国电力, 2020, 53(1): 81-91.
HE Jindong, WANG Yu, ZHAO Zhichao, et al. Type and verification of network attacks on embedded terminals of intelligent substation[J]. Electric Power, 2020, 53(1): 81-91.
- [13] 周毅然. 35 kV 智能变电站合并单元的研究与软硬件实现[D]. 南京:南京理工大学, 2013.
- [14] 牛庆,邵蕾,蔡华洵,等. 基于微网有源滤波装置谐波检测与抑制的研究[J]. 智慧电力, 2020, 48(12): 46-50+64.
NIU Qing, SHAO Lei, CAI Huaxun, et al. Harmonic detection and suppression of active filter device based on micro-grid[J]. Smart Power, 2020, 48(12): 46-50+64.
- [15] 朱雷,盛春波,郑绳植. 基于 IEC 60044-8 标准的电子式电流互感器数字输出编码模块的 FPGA 实现[J]. 电力自动化设备, 2006, 26(8): 67-70.
ZHU Lei, SHENG Chunbo, ZHENG Shengxuan. FPGA realization of digital output encoding module for electronic current transformers based on IEC 60044-8 standard[J]. Electric Power Automation Equipment, 2006, 26(8): 67-70.
- [16] 汪鹤,王劲松,张道农. 基于 FPGA 的智能变电站二次设备曼彻斯特编码同步研究[J]. 电力信息与通信技术, 2015, 13(4): 26-29.
WANG He, WANG Jinsong, ZHANG Daonong. Manchester encoding synchronization based on FPGA for secondary equipment in smart substation[J]. Electric Power Information and Communication Technology, 2015, 13(4): 26-29.
- [17] 邵淑彩,孙韞玉,何娟娟. 应用数理统计[M]. 武汉:武汉大学出版社, 2005: 176-189.